

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332009

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01L 21/316

H01L 21/318

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 11-144707

(71)Applicant : SONY CORP

(22)Date of filing : 25.05.1999

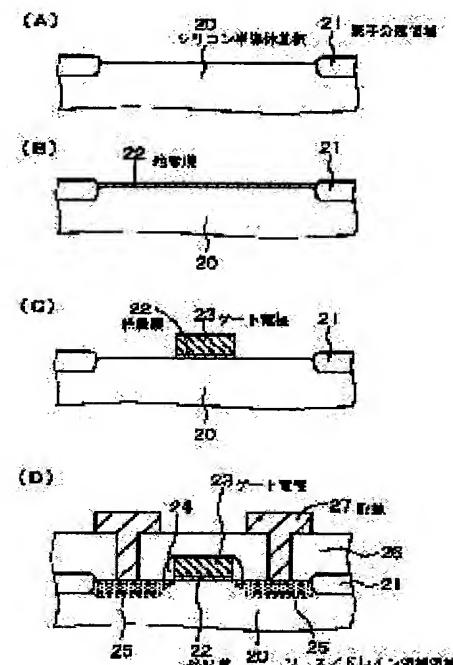
(72)Inventor : KATAOKA TOYOTAKA

(54) METHOD OF FORMING INSULATING FILM AND MANUFACTURE OF P-TYPE SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a plasma nitridation method by forming an oxide film on the surface of a semiconductor layer, injecting microwaves onto an atmospheric gas which consists substantially of nitrogen gas to produce excited nitrogen molecules, nitrogen molecule ions, nitrogen atoms, or nitrogen atomic ions, and nitriding the surface of the oxide film with these excited members.

SOLUTION: A silicon semiconductor substrate 20 is fed into a double-pipe oxidizing furnace (processing chamber). By mixing hydrogen gas with oxygen gas at a high temperature, an element isolation region 21 of a LOCOS structure is formed, and a silicon oxide film is formed on the surface. Next, the resulting substrate 20 is fed to a plasma treatment system. After introducing nitrogen gas into the plasma processing, an atmospheric gas composed of 90% or more of nitrogen gas is irradiated with microwaves. Then, excited nitrogen molecules, nitrogen molecule ions, nitrogen atoms or nitrogen atomic ions collide against the surface of the oxide film in a plasma generating region, which nitrides the surface of the oxide film, and thus an insulating film 22 (silicon oxide nitride film which becomes a gate insulating film) is formed. As a result, an insulating film having superior properties can be obtained.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-332009
(P2000-332009A)

(43)公開日 平成12年11月30日 (2000.11.30)

(51)Int.Cl.⁷
H 01 L 21/316
21/318
21/8238
27/092
29/78

識別記号

F I
H 01 L 21/316
21/318
27/08
29/78
S 5 F 0 4 0
C 5 F 0 4 8
3 2 1 D 5 F 0 5 8
3 0 1 G
テマコートTM (参考)

審査請求 未請求 請求項の数 6 OL (全 14 頁)

(21)出願番号 特願平11-144707
(22)出願日 平成11年5月25日 (1999.5.25)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 片岡 豊隆
東京都品川区北品川6丁目7番35号 ソニー
株式会社内
(74)代理人 100094363
弁理士 山本 孝久

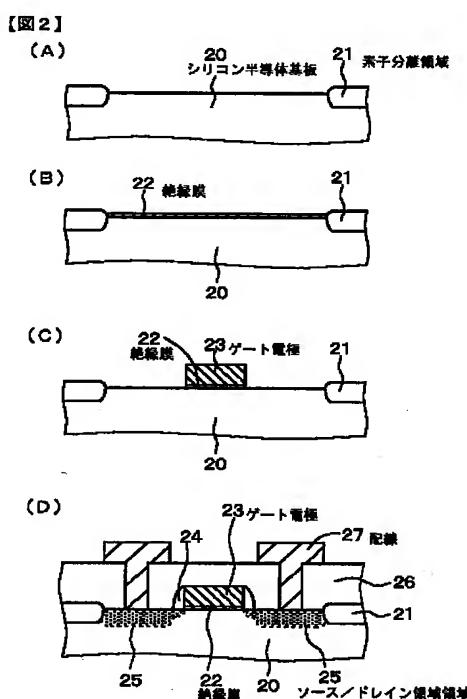
最終頁に続く

(54)【発明の名称】 絶縁膜の形成方法及びp形半導体素子の製造方法

(57)【要約】

【課題】 安定したプラズマ窒化法を実現することができ、しかも、得られた絶縁膜の特性を低下させないプラズマ窒化法に基づく絶縁膜の形成方法を提供する。

【解決手段】 絶縁膜の形成方法は、(イ)半導体層の表面に酸化膜を形成する工程と、(ロ)窒素系ガスが窒素系ガス分圧比として90%以上含まれる雰囲気ガスにマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより該酸化膜の表面を窒化する工程から成る。



【特許請求の範囲】

【請求項1】 (イ) 半導体層の表面に酸化膜を形成する工程と、

(ロ) 窒素ガスがガス分圧比として90%以上含まれる雰囲気ガスにマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより該酸化膜の表面を窒化する工程、から成ることを特徴とする絶縁膜の形成方法。

【請求項2】 マイクロ波の周波数は1GHz乃至100GHzであることを特徴とする請求項1に記載の絶縁膜の形成方法。

【請求項3】 前記工程(イ)において、酸素ガスと水素ガスとを燃焼させることによって生成した水蒸気、若しくは、触媒を用いた触媒作用に基づき水素ガスと酸化性ガスとを反応させることによって生成した水蒸気に基づき半導体層の表面に酸化膜を形成することを特徴とする請求項1に記載の絶縁膜の形成方法。

【請求項4】 (A) 半導体層の表面にゲート絶縁膜を形成する工程と、

(B) 該ゲート絶縁膜上にp形不純物を含むシリコン層から成るゲート電極を形成する工程、を含むp形半導体素子の製造方法であって、

工程(A)は、

(イ) 半導体層の表面に酸化膜を形成する工程と、

(ロ) 窒素ガスがガス分圧比として90%以上含まれる雰囲気ガスにマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより該酸化膜の表面を窒化する工程、から成ることを特徴とするp形半導体素子の製造方法。

【請求項5】 マイクロ波の周波数は1GHz乃至100GHzであることを特徴とする請求項4に記載のp形半導体素子の製造方法。

【請求項6】 前記工程(イ)において、酸素ガスと水素ガスとを燃焼させることによって生成した水蒸気、若しくは、触媒を用いた触媒作用に基づき水素ガスと酸化性ガスとを反応させることによって生成した水蒸気に基づき半導体層の表面に酸化膜を形成することを特徴とする請求項4に記載のp形半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁膜の形成方法及びp形半導体素子の製造方法、更に詳しくは、表面が窒化された絶縁膜の形成方法、及び、かかる絶縁膜の形成方法をゲート絶縁膜の形成に適用したp形半導体素子の製造方法に関する。

【0002】

【従来の技術】 例えば、シリコン半導体基板を基にしたMOS型半導体装置の製造においては、シリコン酸化膜から成るゲート絶縁膜をシリコン半導体基板の表面に形

成する必要がある。また、薄膜トランジスタ(TFT)の製造においても、絶縁性基板の上に設けられたシリコン層の表面にシリコン酸化膜から成るゲート絶縁膜を形成する必要がある。このようなシリコン酸化膜は、半導体装置の信頼性を担っているといつても過言ではない。従って、シリコン酸化膜には、常に、高い絶縁破壊耐圧及び長期信頼性が要求される。

【0003】 半導体装置の高集積化に伴い、MOS型半導体装置のゲート絶縁膜も薄膜化されつつあり、ゲート長0.1μm世代の半導体装置におけるゲート絶縁膜の厚さは2nm程度になると予想されている。シリコン酸化膜の形成方法は、大きくは、乾燥酸化法と、水蒸気を酸化種として用いる加湿酸化法の2つに分類される。乾燥酸化法は、加熱されたシリコン半導体基板に十分乾燥した酸素を供給することによってシリコン半導体基板の表面にシリコン酸化膜を形成する方法である。また、加湿酸化法は、水蒸気を含む高温のキャリアガスをシリコン半導体基板に供給することによってシリコン半導体基板の表面にシリコン酸化膜を形成する方法である。一般には、加湿酸化法によって形成されたシリコン酸化膜の方が、乾燥酸化法によって形成されたシリコン酸化膜よりも、信頼性に優れている。

【0004】 近年、CMOSトランジスタにおいては、低消費電力化のために低電圧化が図られており、そのために、PMOS半導体素子とNMOS半導体素子に対して、十分に低く、しかも対称な閾値電圧が要求される。このような要求に対処するために、PMOS半導体素子においては、これまでのn形不純物を含むポリシリコン層から構成されたゲート電極に替わり、p形不純物を含むポリシリコン層から構成されたゲート電極が用いられるようになっている。尚、このような構造のCMOSFETは、デュアルゲート構造を有するCMOSFETと呼ばれている。ところが、通常用いられるp形不純物であるボロン原子(B)は、ゲート電極形成後の半導体装置製造工程における各種の熱処理によってゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで容易に到達し、PMOS半導体素子の閾値電圧を変動させる。このような現象は、低電圧化のためにゲート絶縁膜を一層薄くした場合、一層顕著に現れる。

【0005】

【発明が解決しようとする課題】 上述のボロン原子のシリコン半導体基板への拡散に起因したPMOS半導体素子の閾値電圧の変動を抑制するために、窒素原子を酸化膜中に導入する方法が試みられており、ボロン原子拡散抑制の効果も確認されている。窒素原子を酸化膜中に導入する方法として、例えば、窒素ガス雰囲気で放電を行うことによって窒素プラズマを発生させる、所謂プラズマ窒化法が、文献 "Ultrathin nitrogen-profile engineered gate dielectric films", S.V. Hattangady, et

al., 1996, IEDM や "Surface nitridation of silicon dioxide with a high density nitrogen plasma", R. Kraft, et al., J. Vac. Sci. Technol. B 15(4), Jul/Aug 1997, pp 967-970 から知られている。これらの文献に記載されたプラズマ窒化法においては、酸化膜の表面のみが窒化されるため、熱窒化法による酸化膜中への窒素原子の導入のように、シリコン半導体基板に窒素が侵入することによる電流駆動能力の低下等の半導体素子特性への悪影響がない。

【0006】これらの文献に記載されたプラズマ窒化法においては、13.56 MHz の電磁波を窒素ガスに照射しているが、このような周波数の電磁波では窒素分子が原子状態になり難く、放電を安定化させるために、アルゴン (Ar) ガス等の電離を促進させる電離促進ガスを窒素ガス雰囲気に加える必要がある。然るに、酸化膜の窒化とは直接関係のない電離促進ガスを窒素ガス雰囲気中に相当量、加えると、窒化処理後の絶縁膜への悪影響、例えば、絶縁耐圧の低下といった現象が生じる。

【0007】従って、本発明の目的は、安定したプラズマ窒化法を実現することができ、しかも、得られた絶縁膜の特性を低下させないプラズマ窒化法に基づく絶縁膜の形成方法、及び、かかる絶縁膜の形成方法をゲート絶縁膜の形成に適用した p 形半導体素子の製造方法、より具体的には、デュアルゲート構造を有する CMOSFET における p チャネル型 MOSFET の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するための本発明の絶縁膜の形成方法は、(イ) 半導体層の表面に酸化膜を形成する工程と、(ロ) 窒素ガスがガス分圧比として 90% 以上、好ましくは 95% 以上、一層好ましくは 99% 以上含まれる雰囲気ガスにマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより該酸化膜の表面を窒化する工程、から成ることを特徴とする。

【0009】上記の目的を達成するための本発明の p 形半導体素子の製造方法は、(A) 半導体層の表面にゲート絶縁膜を形成する工程と、(B) 該ゲート絶縁膜上に p 形不純物を含むシリコン層から成るゲート電極を形成する工程、を含む p 形半導体素子の製造方法であって、工程 (A) は、(イ) 半導体層の表面に酸化膜を形成する工程と、(ロ) 窒素ガスがガス分圧比として 90% 以上、好ましくは 95% 以上、一層好ましくは 99% 以上含まれる雰囲気ガスにマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより該酸化膜の表面を窒化する工程、から成ることを特徴とする。

【0010】本発明の絶縁膜の形成方法あるいは p 形半導体素子の製造方法 (以下、これらを総称して本発明と

呼ぶ場合がある)においては、窒素ガスがガス分圧比として 90% 以上含まれる雰囲気ガスに対してマイクロ波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより酸化膜の表面を窒化するので、得られた絶縁膜の特性低下を抑制することができる。即ち、本発明においては、アルゴンガスのような電離促進ガスを含まない、あるいは、僅かしか含まない窒素ガス雰囲気にマイクロ波を照射するので、電離促進ガスの分子あるいは原子による酸化膜への悪影響を防ぎ、優れた特性を有する絶縁膜を得ることができる。

【0011】しかも、熱窒化法のように高い温度で窒化処理を行う必要が無く、例えば常温で酸化膜の表面を窒化するプラズマ窒化処理を行うことができる、熱窒化法による窒素原子の酸化膜中への導入における問題、即ち、半導体層に窒素が侵入することによる電流駆動能力の低下等の半導体素子特性への悪影響がない。更には、酸化膜を窒化するので、例えばゲート電極形成後の半導体装置製造工程における各種の熱処理によってゲート電極に含まれるボロン原子がゲート絶縁膜を通過して半導体層にまで到達し、p 形半導体素子の閾値電圧が変動するといった現象を確実に回避することができる。

【0012】本発明におけるマイクロ波の周波数は、1 GHz 乃至 100 GHz、例えば、2.45 GHz とすることが望ましい。このような周波数範囲のマイクロ波を用いることによって、励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンを安定して生成させることができる。

【0013】本発明においては、マイクロ波を照射すべき雰囲気ガスを、100% 窒素ガス雰囲気としてもよいし、窒素ガスと希ガス (Ar, He, Xe, Ne, Kr) ガスとの混合ガス雰囲気としてもよい。

【0014】本発明においては、前記工程 (イ) における半導体層の表面に酸化膜を形成するための酸化種として、乾燥酸素ガスを用いることができるが、水蒸気を用いることが好ましい。水蒸気を生成させる方法を、酸素ガスと水素ガスとを燃焼させる方法 (パイロジェニック法)、純水を加熱する方法、酸素ガス又は不活性ガスによって加熱純水をバブリングする方法、触媒 (例えば、NiO 等の Ni 系触媒、Pt や PtO₂ 等の Pt 系触媒、Pd や PdO 等の Pd 系触媒、Ir 系触媒、Ru や RuO₂ 等の Ru 系触媒、Ag や Ag₂O 等の Ag 系触媒、Au 系触媒、CuO 等の Cu 系触媒、MnO₂ 等の Mn 系触媒、Co₃O₄ 等の Co 系触媒) を用いた触媒作用に基づき水素ガスと酸化性ガスとを反応させる方法のいずれか 1 種類の方法あるいは 2 種類以上的方法とすることができるが、中でも、パイロジェニック法とすることが好ましい。水蒸気を用いた酸化法によって酸化膜を形成するので、優れた経時絶縁破壊 (TDDDB) 特性を有する酸化膜を得ることができる。尚、これらの水蒸気

の生成方法、あるいは、次に述べるプラズマ酸化法に基づき半導体層表面に酸化膜を形成する方法を、総称して加湿酸化法と呼ぶ場合がある。

【0015】あるいは又、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波を照射することによって水蒸気を生成させる方法（以下、便宜上、プラズマ酸化法と呼ぶ）とすることもできる。この場合、水素ガス及び酸素ガスに基づき生成した水蒸気を、窒素、アルゴン、ヘリウム、ネオン、クリプトン、キセノンといった不活性ガスにて希釈した状態で、あるいは又、これらの不活性ガスをキャリアガスとして用いて、半導体層の表面に酸化膜を形成してもよい。プラズマ酸化法を採用すれば、水素ガス及び酸素ガス、並びに窒素ガスにマイクロ波を照射することに基づき絶縁膜若しくはゲート絶縁膜の形成を行うので、本質的に1つのプラズマ処理装置内で絶縁膜若しくはゲート絶縁膜の形成を行なうことが可能となり、絶縁膜若しくはゲート絶縁膜を形成するための装置構成を簡素化することができるし、絶縁膜やゲート絶縁膜の形成時間の短縮化を図ることもできる。加えて、水素ガス及び酸素ガスにマイクロ波を照射することによって水蒸気を生成させれば、酸化速度が抑制・制御された状態で、即ち、例えば減圧下にあっても、水蒸気を容易に且つ確実に生成させることができとなり、酸化速度が制御された状態で薄い酸化膜を形成することができる。

【0016】本発明のp形半導体素子の製造方法における工程（B）においては、p形不純物を含むシリコン層（例えばポリシリコン層やアモルファスシリコン層）から成るゲート電極の形成方法として、例えば、p形不純物（例えば、ボロン）を含むシリコン層をCVD法に基づき製膜した後にかかるシリコン層をパターニングする方法、不純物を含まないシリコン層をCVD法にて形成した後にp形不純物（例えばボロンやBF₂）をイオン注入法にてシリコン層に注入し、次いでシリコン層をパターニングする方法、不純物を含まないシリコン層をCVD法にて形成した後にp形不純物（例えばボロンやBF₂）をイオン注入法にてシリコン層に注入する方法を挙げることができる。尚、工程（B）において、p形不純物を含むシリコン層を形成した後、このシリコン層上にシリサイド層を形成し、次いで、シリサイド層及びシリコン層をパターニングすることによって、ポリサイド構造を有するゲート電極を形成してもよいし、p形不純物を含むシリコン層を形成した後、このシリコン層上にタンゲステン等の高融点金属層を形成し、次いで、高融点金属層及びシリコン層をパターニングすることによって、ポリメタル構造を有するゲート電極を形成してもよい。

【0017】本発明の方法においては、工程（ロ）において酸化膜の表面に窒化処理を施した後、得られた絶縁膜に熱処理を施すことが、絶縁膜に生じたダメージの緩

和を図る上で好ましい。熱処理は、窒素ガス等の不活性ガス雰囲気で行なうことが望ましく、熱処理温度として800°C乃至1200°C、熱処理時間として10秒乃至1時間を例示することができる。

【0018】シリコン半導体基板を基にしてMOS型半導体装置を製造する場合、従来、ゲート絶縁膜を形成する前に、NH₄OH/H₂O₂水溶液で洗浄し更にHCl/H₂O₂水溶液で洗浄するというRCA洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去する。ところで、RCA洗浄を行うと、シリコン半導体基板の表面は洗浄液と反応し、厚さ0.5~1nm程度のシリコン酸化膜が形成される。かかるシリコン酸化膜の膜厚は不均一であり、しかも、このシリコン酸化膜中には洗浄液成分が残留する。そこで、フッ化水素酸水溶液にシリコン半導体基板を浸漬して、かかるシリコン酸化膜を除去し、更に純水で薬液成分を除去する。これによって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半導体基板の表面を得ることができる。尚、このような工程によって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半導体基板の表面を得ることを、本明細書では、シリコン半導体基板の表面を露出させると表現する。その後、かかるシリコン半導体基板の表面に酸化膜を形成する。

【0019】ところで、加湿酸化法に基づき酸化膜を形成する前の雰囲気を高温の窒素ガス雰囲気とすると、シリコン半導体基板の表面に荒れ（凹凸）が生じる場合がある。このような現象は、フッ化水素酸水溶液及び純水での洗浄によってシリコン半導体基板の表面に形成されたSi-H結合の一部あるいは又Si-F結合の一部が、水素やフッ素の昇温脱離によって失われ、シリコン半導体基板の表面にエッチング現象が生じることに起因すると考えられている。例えば、アルゴンガス中でシリコン半導体基板を600°C以上に昇温するとシリコン半導体基板の表面に激しい凹凸が生じることが、培風館発行、大見忠弘著「ウルトラクリーンULSI技術」、第21頁に記載されている。

【0020】工程（イ）において、半導体層の表面から半導体層を主に構成する原子が脱離しない温度に半導体層を保持した状態にて、半導体層の表面に酸化膜の形成を開始することで、このような半導体層の表面に荒れ（凹凸）が発生するといった現象の発生を回避することが可能である。尚、半導体層の表面から半導体層を主に構成する原子が脱離しない温度は、半導体層表面を終端している原子と半導体層を主に構成する原子との結合が切離されない温度であることが望ましい。半導体層を主に構成する原子がSiである場合、即ち、半導体層がシリコン半導体基板、単結晶シリコン層、ポリシリコン層あるいはアモルファスシリコン層から構成されている場合、半導体層の表面から半導体層を主に構成する原子が

脱離しない温度を、半導体層表面の Si-H結合が切断されない温度、あるいは又、半導体層表面の Si-F結合が切断されない温度とすることが望ましい。面方位が(100)のシリコン半導体基板を半導体層として用いる場合、シリコン半導体基板の表面における水素原子の大半がシリコン原子の2本の結合手のそれぞれに1つずつ結合しており、H-Si-Hの終端構造を有する。然るに、シリコン半導体基板の表面状態が崩れた部分(例えばステップ形成箇所)には、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合手のそれぞれに水素原子が結合した状態の終端構造が存在する。尚、通常、シリコン原子の残りの結合手は結晶内部のシリコン原子と結合している。本明細書における「Si-H結合」という表現には、シリコン原子の2本の結合手のそれぞれに水素原子が結合した状態の終端構造、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合手のそれぞれに水素原子が結合した状態の終端構造の全てが含まれる。半導体層の表面に酸化膜の形成を開始するときの温度は、より具体的には、水蒸気が半導体層上で結露しない温度以上、好ましくは200°C以上、より好ましくは300°C以上とすることが、スループットの面から望ましい。

【0021】尚、工程(イ)において、酸化膜の形成が完了したときの半導体層の温度を、酸化膜の形成を開始する際の半導体層の温度よりも高くしてもよい。この場合、酸化膜の形成が完了したときの半導体層の温度は、600乃至1200°C、好ましくは700乃至1000°C、更に好ましくは750乃至900°Cであることが望ましいが、このような値に限定するものではない。尚、階段状(ステップ状)に昇温してもよく、あるいは又、連続的に昇温してもよい。

【0022】昇温を階段状にて行う場合、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面に酸化膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲に半導体層を保持して酸化膜を形成する第1の酸化膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、所望の厚さになるまで酸化膜を更に形成する第2の酸化膜形成工程を含むことが好ましい。第2の酸化膜形成工程における酸化膜の形成温度は、600乃至1200°C、好ましくは700乃至1000°C、更に好ましくは750乃至900°Cであることが望ましい。尚、第1の酸化膜形成工程における半導体層の保持温度範囲の上限としては、500°C、好ましくは450°C、より好ましくは400°Cを挙げることができる。第2の酸化膜形成工程を経た後の最終的な酸化膜の膜厚は、半導体素子に要求される所定の厚さとす

ればよい。一方、第1の酸化膜形成工程を経た後の酸化膜の膜厚は、出来る限り薄いことが好ましい。但し、現在、半導体装置の製造に用いられているシリコン半導体基板の面方位は殆どの場合(100)であり、如何にシリコン半導体基板の表面を平滑化しても(100)シリコンの表面には必ずステップと呼ばれる段差が形成される。このステップは通常シリコン原子1層分であるが、場合によっては2~3層分の段差が形成されることがある。従って、第1の酸化膜形成工程を経た後の酸化膜の膜厚は、半導体層として(100)シリコン半導体基板を用いる場合、1nm以上とすることが好ましいが、これに限定するものではない。

【0023】第1の酸化膜形成工程と第2の酸化膜形成工程との間に昇温工程を含んでもよい。この場合、昇温工程における雰囲気を、不活性ガス雰囲気若しくは減圧雰囲気とするか、あるいは又、水蒸気を含む酸化雰囲気とすることが望ましい。ここで、不活性ガスとして、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。尚、昇温工程における雰囲気中の不活性ガス若しくは水蒸気を含むガスには、ハロゲン元素が含有されていてもよい。これによって、第1の酸化膜形成工程にて形成された酸化膜の特性の一層の向上を図ることができる。即ち、半導体層を主に構成する原子がSiの場合、第1の酸化膜形成工程において生じ得る欠陥であるシリコンダーリングボンド(Si.)やSiOHが昇温工程においてハロゲン元素と反応し、シリコンダーリングボンドが終端あるいは脱水反応を生じる結果、信頼性劣化因子であるこれらの欠陥が排除される。特に、これらの欠陥の排除は、第1の酸化膜形成工程において形成された初期の酸化膜に対して効果的である。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス若しくは水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl₄、C₂HC₁₃、C₁₂、HBr、NF₃を挙げることができる。不活性ガス若しくは水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス若しくは水蒸気を含むガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。尚、昇温工程における雰囲気を、不活性ガスで希釈された水蒸気を含む雰囲気とすることもできる。

【0024】本発明の方法においては、酸化膜の形成中の水蒸気を含む酸化性雰囲気にハロゲン元素を含有させてもよい。これによって、タイムゼロ絶縁破壊(TZD B)特性及び経時絶縁破壊(TDD B)特性に優れた酸化膜を得ることができる。尚、ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩

素であることが望ましい。水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素 (HCl)、 CCl_4 、 C_2HCl_3 、 Cl_2 、 HBr 、 NF_3 を挙げることができる。水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001～10容量%、好ましくは0.005～10容量%、更に好ましくは0.02～10容量%である。例えば塩化水素ガスを用いる場合、水蒸気を含むガス中の塩化水素ガス含有率は0.02～10容量%であることが望ましい。

【0025】形成された酸化膜の特性を一層向上させるために、本発明の方法においては、工程(イ)と工程(ロ)の間で、形成された酸化膜に加熱処理を施してもよい。

【0026】この場合、加熱処理の雰囲気を、ハロゲン元素を含有する不活性ガス雰囲気とすることが望ましい。ハロゲン元素を含有する不活性ガス雰囲気中で酸化膜を加熱処理することによって、タイムゼロ絶縁破壊 (TZDB) 特性及び経時絶縁破壊 (TDDB) 特性に優れた酸化膜を得ることができる。加熱処理における不活性ガスとしては、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。また、ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素 (HCl)、 CCl_4 、 C_2HCl_3 、 Cl_2 、 HBr 、 NF_3 を挙げることができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001～10容量%、好ましくは0.005～10容量%、更に好ましくは0.02～10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02～10容量%であることが望ましい。

【0027】尚、同一処理室内で加熱処理を行うことが好ましい。加熱処理の温度は、700～1200°C、好ましくは700～1000°C、更に好ましくは700～950°Cである。また、加熱処理の時間は、枚葉処理にて行う場合、1～10分とすることが好ましく、バッチ式にて行う場合、5～60分、好ましくは10～40分、更に好ましくは20～30分とすることが望ましい。

【0028】加熱処理を行う場合、形成された酸化膜に加熱処理を施す際の雰囲気温度を、酸化膜の形成が完了したときの温度よりも高くすることが望ましい。この場合、酸化膜の形成が完了した後、処理室内の雰囲気を不活性ガス雰囲気に切り替えた後、加熱処理を施すための雰囲気温度まで昇温してもよいし、雰囲気をハロゲン元素を含有する不活性ガス雰囲気に切り替えた後、加熱処理を施すための雰囲気温度まで昇温してもよい。ここで、不活性ガスとしては、窒素ガス、アルゴンガス、ヘ

リウムガスを例示することができる。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。また、不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素 (HCl)、 CCl_4 、 C_2HCl_3 、 Cl_2 、 HBr 、 NF_3 を挙げることができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001～10容量%、好ましくは0.005～10容量%、更に好ましくは0.02～10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02～10容量%であることが望ましい。

【0029】通常、シリコン半導体基板の表面にシリコン酸化膜を形成する前に、 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 水溶液で洗浄し更に $\text{HCl}/\text{H}_2\text{O}_2$ 水溶液で洗浄するというRCA洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去した後、フッ化水素酸水溶液及び純水によるシリコン半導体基板の洗浄を行う。ところが、その後、シリコン半導体基板が大気に曝されると、シリコン半導体基板の表面が汚染され、水分や有機物がシリコン半導体基板の表面に付着し、あるいは又、シリコン半導体基板表面のSi原子が水酸基(OH)と結合する虞がある(例えば、文献 "Highly-reliable Gate Oxide Formation for Giga-Scale LSIs by using Closed Wet Cleaning System and Wet Oxidation with Ultra-Dry Unloading", J. Yugami, et al., International Electron Device Meeting Technical Digest 95, pp 855-858 参照)。このような場合、そのままの状態でシリコン酸化膜の形成を開始すると、形成されたシリコン酸化膜中に水分や有機物、あるいは又、例えばSi-OHが取り込まれ、形成されたシリコン酸化膜の特性低下あるいは欠陥部分の発生の原因となり得る。尚、欠陥部分とは、シリコンダングリングボンド(Si-O-H)やSi-H結合といった欠陥が含まれるシリコン酸化膜の部分、あるいは又、Si-O-Si結合が応力によって圧縮され若しくはSi-O-Si結合の角度が厚い若しくはバルクのシリコン酸化膜中のSi-O-Si結合の角度と異なるといったSi-O-Si結合が含まれたシリコン酸化膜の部分を意味する。それ故、このような問題の発生を回避するために、本発明の方法においては、酸化膜の形成の前に半導体層表面を洗浄する工程を含み、表面洗浄後の半導体層を大気に曝すことなく(即ち、例えば、半導体層表面の洗浄から酸化膜形成工程の開始までの雰囲気を不活性ガス雰囲気若しくは真空雰囲気とし)、酸化膜の形成を実行することが好ましい。これによって、例えば半導体層としてシリコン半導体基板を用いる場合、大部分が水素で終端され、一部がフッ素で終端された表面を有するシリコン半導体基板の表面に酸化膜を形成することができ、形成された酸化膜の特性低下あるいは欠陥部分の発生を防止することが

できる。

【0030】酸化膜の形成においてプラズマ酸化法を採用する場合、例えば、処理室内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するために、処理室内に水素ガスを導入する前に酸素ガスを導入することが望ましい。然るに、酸素ガスの処理室内への導入によって半導体層にドライ酸化膜が形成される虞がある。このようなドライ酸化膜は、加湿酸化法によって形成される酸化膜よりも特性が劣っている。このようなドライ酸化膜の形成を確実に防止するためには、例えば、酸化膜の形成開始前に、処理室内に窒素ガス等の不活性ガスで希釈した水素ガスを先ず導入し、次いで、処理室内に酸素ガスを導入すればよい。但し、この場合には、爆鳴気反応の発生を確実に防止するために、水素ガスの濃度を、水素ガスが酸素ガスと反応して燃焼しないような濃度、具体的には、空気中の爆轟範囲以下（空気との容量%で表した場合、18.3容量%以下）、好ましくは空気中の爆轟範囲以下（空気との容量%で表した場合、4.0容量%以下）、あるいは又、酸素中の爆轟範囲以下（酸素との容量%で表した場合、15.0容量%以下）、好ましくは酸素中の爆轟範囲以下（酸素との容量%で表した場合、4.5容量%以下）となるような濃度とすることが望ましい。

【0031】半導体層としては、シリコン単結晶ウエハといったシリコン半導体基板だけでなく、半導体基板上にエピタキシャルシリコン層、ポリシリコン層、あるいはアモルファスシリコン層、更には、シリコン半導体基板やこれらの層に半導体素子が形成されたもの等、絶縁膜を形成すべき下地を意味する。半導体層に絶縁膜を形

*30 式 (1-1)

$N_2 (X^1 \Sigma g^-) + e \rightarrow N_2 (A^3 \Sigma u^+) + e$ 式 (1-1)

$N_2 (N^1 \Sigma g^-) + e \rightarrow N_2 (C^3 \Pi u) + e$ 式 (1-2)

$N_2 (X^1 \Sigma g^-) + e \rightarrow N^+ (^3 P) + N^+ (^1 S) + e$ 式 (1-3)

$N_2 (N^1 \Sigma g^-) + e \rightarrow N^+ (^3 P) + N^+ (^1 D) + e$ 式 (1-4)

【0035】また、プラズマ酸化法を採用する場合、マイクロ波放電によって生成した酸素プラズマにおいては、基底状態 $O_2 (X^3 \Sigma g^-)$ は電子の衝突によって励

*成するとは、半導体基板等の上若しくは上方に形成された半導体層に絶縁膜を形成する場合だけでなく、半導体基板の表面に絶縁膜を形成する場合を含む。尚、シリコン単結晶ウエハは、CZ法、MCZ法、DLCZ法、FZ法等、如何なる方法で作製されたウエハであってもよく、また、予め水素アーチルが加えられたものでもよい。また、半導体層は Si-Ga から構成されていてもよい。

【0032】本発明の絶縁膜の形成方法は、例えばMOS型トランジスタのゲート絶縁膜、層間絶縁膜や素子分離領域の形成、トップゲート型若しくはボトムゲート型薄膜トランジスタのゲート絶縁膜の形成、フラッシュメモリのトンネル絶縁膜の形成等、各種半導体装置における絶縁膜の形成に適用することができる。

【0033】窒素 (N_2) は、工業用周波数 13.56 MHz の電磁波を用いたのでは殆ど原子状態にならないが、1 GHz 乃至 100 GHz のマイクロ波によってプラズマ中で原子状態となり、例えば、以下の式のように励起される。即ち、プラズマ中に存在する電子が励起され、これと窒素分子との非弾性衝突により励起された窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが生成される。これらの励起された窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが酸化膜の表面の半導体層を主に構成する原子と酸素原子との結合（例えば、半導体層を主に構成する原子が Si の場合、Si-O 結合）を切断して、窒化酸化物（例えば、Si-O-N 結合）が形成され、酸化膜の表面が窒化される。酸化膜の表面の組成は、半導体層を主に構成する原子が Si の場合、 $SiO_x Ny$ で表される。

【0034】

$O_2 (A^3 \Sigma u^+) + e \rightarrow O_2 (B^3 \Sigma u^-)$ 式 (2-1)

$O_2 (A^3 \Sigma u^+) + e \rightarrow O (^3 P) + O (^1 P) + e$ 式 (2-2)

$O_2 (X^3 \Sigma g^-) + e \rightarrow O_2 (B^3 \Sigma u^-) + e$ 式 (2-3)

$O_2 (B^3 \Sigma u^-) + e \rightarrow O (^3 P) + O (^1 D) + e$ 式 (2-4)

※起状態 $O_2 (A^3 \Sigma u^+)$ 又は $O_2 (B^3 \Sigma u^-)$ に励起され、それぞれ、以下の式のように酸素原子に解離する。

【0036】

$O_2 (A^3 \Sigma u^+) + e \rightarrow O (^3 P) + O (^1 P) + e$ 式 (2-1)

$O_2 (B^3 \Sigma u^-) + e \rightarrow O (^3 P) + O (^1 D) + e$ 式 (2-2)

$O_2 (B^3 \Sigma u^-) + e \rightarrow O (^3 P) + O (^1 P) + e$ 式 (2-3)

$O_2 (B^3 \Sigma u^-) + e \rightarrow O (^3 P) + O (^1 D) + e$ 式 (2-4)

され、半導体層の表面に酸化膜が形成される。

【0040】

$2H + O (^3 P) \rightarrow H_2 O$ 式 (4)

【0041】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0042】（実施例 1）本発明の実施に適した枚葉方式のプラズマ処理装置の概念図を図 1 に示す。このプラズマ処理装置は、処理室 10 と、半導体層（実施例 1 に

【0037】従って、酸素プラズマ中には励起酸素分子と酸素原子が存在し、これらが反応種となる。ここに水素 H_2 を導入すると、以下のようなプラズマが生成する。

【0038】 $H_2 + e \rightarrow 2H$ 式 (3)

【0039】そして、酸素プラズマの内、例えば式 (2-2) で生成した酸素プラズマと式 (3) で生成した水素プラズマが反応して、水蒸気が生成する。そして、加熱された半導体層の表面は、かかる水蒸気によって酸化

においては、シリコン半導体基板20)を載置するステージ11と、処理室10の外部に配設された磁石13と、処理室10の頂部に取り付けられたマイクロ波導波管14と、処理室10の頂部に配設されたガス導入部16A, 16B, 16Cから構成されている。処理室10は、プラズマ生成領域10Aと、プラズマ処理領域10Bから構成されており、ステージ11はプラズマ処理領域10Bに配されている。また、シリコン半導体基板20を加熱するための加熱手段12であるランプがステージ11内に納められている。マイクロ波導波管14にはマグネットロン15が取り付けられ、マグネットロン15によって1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)が生成させられ、マイクロ波導波管14を介してかかるマイクロ波は処理室10のプラズマ生成領域10Aに導入される。更には、ガス導入部16A, 16B, 16Cのそれぞれから処理室10内に水素ガス、酸素ガス、窒素ガスが導入される。また、処理室10の側面に配設されたガス導入部17から処理室10内に不活性ガス(例えば窒素ガス)が導入される。処理室10内に導入された各種のガスは、処理室10の下部に設けられたガス排気部18から系外に排気される。処理室10の外部には処理室10内部が結露しないように処理室10の内部の温度を制御するためのヒータ19が配設されている。

【0043】プラズマ生成領域10Aにおいて、酸素ガス及び水素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成させる。水蒸気の一部はプラズマ状態にある。プラズマ処理領域10Bにおいて、かかる水蒸気によって半導体層の表面が酸化される。また、プラズマ生成領域10Aにおいて、窒素ガスを含む雰囲気ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンにより酸化膜の表面を窒化する。

【0044】実施例1においては、半導体層としてシリコン半導体基板を用いた。また、実施例1においては、パイロジェニック酸化法を採用した。図1に示したプラズマ処理装置を用いた実施例1の絶縁膜の形成方法及びp形半導体素子の製造方法(具体的には、デュアルゲート構造を有するCMOSFETにおけるpチャネル型MOSFET)を、以下、シリコン半導体基板20等の模式的な一部断面図である図2を参照して説明するが、それに先立ち、図3を参照して、パイロジェニック酸化法に基づきシリコン酸化膜を形成するための縦型方式の酸化膜形成装置の概念図を説明する。

【0045】この縦型方式の酸化膜形成装置は、垂直方向に保持された石英製の二重管構造の酸化炉30(処理室に相当する)と、酸化炉30へ湿式ガス及び/ガスを

導入するためのガス導入部32と、酸化炉30から湿式ガス及び/ガスを排気するガス排気部33と、SiCから成る円筒状の均熱管36を介して酸化炉30内を所定の雰囲気温度に保持するためのヒータ34と、基板搬出入部40と、基板搬出入部40へ窒素ガス等の不活性ガスを導入するためのガス導入部41と、基板搬出入部40からガスを排気するガス排気部42と、酸化炉30と基板搬出入部40とを仕切るシャッター35と、シリコン半導体基板20を酸化炉30内に搬入出するためのエレベータ機構43から構成されている。エレベータ機構43には、シリコン半導体基板20を載置するための石英ポート44が取り付けられている。また、燃焼室50に供給された水素ガスを酸素ガスと、燃焼室50内で高温にて混合し、燃焼させることによって、湿式ガスを生成させる。かかる湿式ガスは、配管51、ガス流路31及びガス導入部32を介して酸化炉30内に導入される。尚、ガス流路31は、二重管構造の酸化炉30の内壁及び外壁の間に空間に相当する。

【0046】【工程-100】先ず、リンをドープした直径8インチのN型シリコンウエハ(CZ法にて作製)であるシリコン半導体基板20に、公知の方法でLOCOS構造を有する素子分離領域21を形成し、次いでウエルイオン注入、チャネルストップイオン注入、閾値調整イオン注入を行う。尚、素子分離領域はトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組み合わせであってもよい。その後、RCA洗浄によりシリコン半導体基板20の表面の微粒子や金属不純物を除去し、次いで、0.1%フッ化水素酸水溶液及び純水によるシリコン半導体基板20の表面洗浄を行い、シリコン半導体基板20の表面を露出させる(図2の(A)参照)。尚、シリコン半導体基板20の表面は大半が水素で終端しており、極一部がフッ素で終端されている。

【0047】【工程-110】配管52、燃焼室50、配管51、ガス流路31及びガス導入部32を介して酸化炉30へ窒素ガスを導入し、酸化炉30内を窒素ガス雰囲気とし、且つ、均熱管36を介してヒータ34によって酸化炉30の雰囲気温度を700°C前後に保持する。この状態においては、シャッター35は閉じておく。基板搬出入部40は大気に解放された状態である。

【0048】【工程-120】そして、基板搬出入部40へのシリコン半導体基板20の搬入が完了した後、図示しない扉を閉め、基板搬出入部40にガス導入部41から窒素ガスを導入し、ガス排気部42から排出し、基板搬出入部40内を窒素ガス雰囲気とする。尚、基板搬出入部40内の酸素ガス濃度をモニターし、酸素ガス濃度が例えば100ppm以下となつたならば、基板搬出入部40内が十分に窒素ガス雰囲気となつたと判断する。その後、シャッター35を開き、エレベータ機構43を作動させて石英ポート44を上昇させ、シリコン半

導体基板20を石英製の二重管構造の酸化炉30内に搬入する。エレベータ機構43が最上昇位置に辿り着くと、石英ポート44の基部によって酸化炉30と基板搬出入部40との間は連通しなくなる。

【0049】[工程-130]その後、窒素ガス雰囲気の酸化炉30の雰囲気温度を昇温し、800～900°Cとする。そして、配管52、53を介して燃焼室50内に酸素ガス及び水素ガスを供給し、水素ガスを酸素ガスと燃焼室50内で高温にて混合し、燃焼させることによって生成した湿式ガスを、配管51、ガス流路31及びガス導入部32を介して酸化炉30へ導入し、ガス排気部33から排気する。これによって、半導体層の表面に酸化膜が形成される。具体的には、シリコン半導体基板20の表面にシリコン酸化膜が形成される。尚、燃焼室50内の温度を、例えばヒータ(図示せず)によって700～900°Cに保持する。

【0050】[工程-140]所望の厚さ、例えば厚さ2nmの酸化膜を形成した後、燃焼室50内への酸素ガス及び水素ガスの供給を中止し、次いで、酸化炉30内に窒素ガス等の不活性ガスを導入しながら、酸化炉30の雰囲気温度を700°C前後まで降温し、次いで、エレベータ機構43を動作させて石英ポート44を下降させ、次いで、基板搬出入部40からシリコン半導体基板20を搬出する。

【0051】[工程-150]次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置する。そして、ガス導入部16Cから処理室10に窒素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、窒素ガス100%から成る雰囲気ガスにマイクロ波を照射することによって上述の式(1-1)～(1-4)の反応に基づきプラズマ生成領域10Aにて生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが酸化膜の表面に衝突し、酸化膜(具体的にはシリコン酸化膜)の表面が窒化される。尚、イオン化されていない窒素分子や窒素原子も同様にプラズマ処理領域10Bに到達し、酸化膜の表面が窒化される。こうして、表面が窒化された絶縁膜22(実施例1においてはシリコン酸化窒化膜であり、ゲート絶縁膜に相当する)を半導体層の表面に形成することができる。この状態を図2の(B)に模式的に示す。尚、図においては酸化膜の窒化された部分の図示を省略した。窒化の条件を、以下の表1に例示する。尚、シリコン半導体基板20の温度を室温にする理由は、窒化処理において窒素原子がシリコン半導体基板20内に拡散することを抑制するためである。

【0052】[表1]

マイクロ波電力 : 1 kW
マイクロ波周波数 : 2.45 GHz
窒素ガス流量 : 0.4 SLM
圧力 : 0.16 Pa
基板温度 : 室温(25°C)

【0053】[工程-160]その後、ガス導入部16Cからの処理室10への窒素ガスの導入を中止し、必要に応じて、ガス導入部17から不活性ガスを処理室10

10 内へ導入しながら、加熱手段12によってシリコン半導体基板20を850°Cまで昇温する。そして、シリコン半導体基板20の温度が850°Cに達し、その温度が安定したならば、窒素ガス流量4 SLMで5分間、熱処理を行う。この熱処理によって、絶縁膜に生じたダメージの緩和を図ることができる。

【0054】[工程-170]その後、プラズマ処理装置から半導体層を搬出し、次いで、公知のCVD装置に半導体層(具体的には、シリコン半導体基板20)を搬入する。そして、不純物を含んでいないシリコン層(実施例1においてはポリシリコン層)をCVD法にて全面に製膜する。次いで、公知のリソグラフィ技術及びイオン注入技術に基づき、pチャネル型MOSFETのためのゲート電極ヘボロンを、nチャネル型MOSFETのためのゲート電極ヘリンを、それぞれ導入した後、シリコン層をパターニングする。これによって、ゲート絶縁膜22上に、pチャネル型MOSFETのためのp形不純物を含むシリコン層(具体的にはポリシリコン層)から成るゲート電極23を形成することができる(図2の(C)参照)。

20 併せて、ゲート絶縁膜上に、nチャネル型MOSFETのためのn形不純物を含むシリコン層(具体的にはポリシリコン層)から成るゲート電極を形成することができる。

【0055】[工程-180]その後、公知の技術を用いてLDD領域を形成し、次に、全面に絶縁材料層を形成し、異方性ドライエッチング技術に基づき絶縁材料層をエッチングして、ゲート電極23の側壁にサイドウオール24を形成する。次いで、ソース/ドレイン領域25を形成するために、公知のリソグラフィ技術及びイオン注入技術に基づき、pチャネル型MOSFETを形成すべきシリコン半導体基板の領域にボロンを、nチャネル型MOSFETを形成すべきシリコン半導体基板の領域にリンを、それぞれ導入した後、イオン注入された不純物の活性化熱処理を行う。その後、全面に層間絶縁層26をCVD法にて形成し、ソース/ドレイン領域25の上方の層間絶縁層26に開口部を設け、かかる開口部内を含む層間絶縁層26の上に配線材料層をスパッタ法にて形成し、配線材料層をパターニングすることによって配線27を形成し、図2の(D)に模式的な一部断面図を示すp形半導体素子(より具体的には、デュアルゲート構造を有するCMOSFETにおけるpチャネル型

30

40

50

MOSFET)を得ることができる。

【0056】(実施例2)実施例2は実施例1の変形である。実施例1においてはシリコン半導体基板20を80°Cに加熱した状態でパイロジェニック酸化法にて酸化膜を形成したが、実施例2においては、パイロジェニック酸化法に基づき、2段階の酸化を行う。即ち、酸化膜の形成を、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面に酸化膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲に半導体層を保持して酸化膜を形成する第1の酸化膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、所望の厚さになるまで酸化膜を更に形成する第2の酸化膜形成工程から構成した。尚、実施例2においても図1に示したプラズマ処理装置及び図3に示した酸化膜形成装置を用いる。以下、実施例2の絶縁膜の形成方法及びp形半導体素子の製造方法(具体的には、デュアルゲート構造を有するCMOSFETにおけるpチャネル型MOSFET)を説明する。

【0057】[工程-200]先ず、実施例1の[工程-100]と同様の工程を実行する。

【0058】[工程-210]次に、シリコン半導体基板20を、図3に示した酸化膜形成装置の基板搬入出部40に図示しない扉から搬入し、石英ポート44に載置する。尚、酸化炉30へガス導入部32から窒素ガスを導入し、酸化炉30内を窒素ガス等の不活性ガス雰囲気とし(減圧雰囲気であってもよい)、且つ、均熱管36を介してヒータ34によって酸化炉30内の雰囲気温度を350°Cに保持する。尚、この状態においては、シャッター35は閉じておく。

【0059】[工程-220]そして、基板搬入出部40へのシリコン半導体基板20の搬入が完了した後、図示しない扉を閉め、基板搬入出部40にガス導入部41から窒素ガスを導入し、ガス排気部42から排出し、基板搬入出部40内を窒素ガス雰囲気とする。尚、基板搬入出部40内の酸素ガス濃度をモニターし、酸素ガス濃度が例えば100ppm以下となつたならば、基板搬入出部40内が十分に窒素ガス雰囲気となつたと判断する。その後、シャッター35を開き、エレベータ機構43を作動させて石英ポート44を上昇させ(上昇速度:250mm/分)、シリコン半導体基板20を石英製の二重管構造の酸化炉30内に搬入する。エレベータ機構43が最上昇位置に辿り着くと、石英ポート44の基部によって酸化炉30と基板搬入出部40との間は連通しなくなる。酸化炉30内の雰囲気温度はヒータ34によって350°Cに保持されているので、即ち、シリコン半導体基板20の表面を終端した水素原子が脱離しない雰囲気温度に酸化炉30内が保持されているので、シリコン半導体基板20の表面に荒れが発生することを抑制

することができる。

【0060】[工程-230]次いで、シリコン半導体基板20の表面を終端した水素原子が脱離しない雰囲気温度にて、半導体層(具体的には、シリコン半導体基板20)の表面を熱酸化することによって酸化膜を形成する。具体的には、雰囲気温度を350°Cに保持し、パイロジェニック法によって半導体層(シリコン半導体基板20)の表面にシリコン酸化膜を形成する。実施例2においては、配管52、53を介して燃焼室50内に酸素ガス及び水素ガスを供給し、燃焼室50内で生成した水蒸気を配管51、ガス流路31及びガス導入部32を介して酸化炉30内に導入し、パイロジェニック酸化法によってシリコン半導体基板20の表面に厚さ1.0nmのシリコン酸化膜を形成する。パイロジェニック法に基づく水蒸気の生成条件を、以下の表2に例示する。

【0061】[表2]

水素ガス流量: 5 SLM

酸素ガス流量: 10 SLM

燃焼温度: 750°C

【0062】[工程-240]その後、酸化炉30内への湿式ガスの導入を中止し、不活性ガス(窒素ガス)を、配管52、燃焼室50、配管51、ガス流路31及びガス導入部32を介して酸化炉30内に導入しながら、酸化膜形成装置の酸化炉30内の雰囲気温度を、均熱管36を介してヒータ34によって10°C/分の昇温速度で800°Cまで昇温する。[工程-230]にて半導体層の表面には保護膜としても機能する酸化膜が既に形成されているので、この[工程-240]において、半導体層(シリコン半導体基板20)の表面に荒れが発生することはない。

【0063】[工程-250]半導体層の表面から水素原子が脱離しない雰囲気温度範囲よりも高い雰囲気温度(実施例2においては800°C)に酸化炉30内の雰囲気温度が達した後、この温度に雰囲気を保持した状態にて、パイロジェニック酸化法によって、更に酸化膜を形成する第2の酸化膜形成工程を実行する。具体的には、再び、配管52、53を介して燃焼室50内に酸素ガス及び水素ガスを供給し、燃焼室50内で生成した水蒸気を配管51、ガス流路31及びガス導入部32を介して酸化炉30内に導入し、パイロジェニック酸化法によって半導体層(シリコン半導体基板20)の表面に総厚2nmの酸化膜を形成する。尚、所望の厚さの酸化膜の形成が完了したときの雰囲気温度(実施例2においては800°C)は、半導体層の表面に酸化膜の形成を開始する際の雰囲気温度(実施例2においては350°C)よりも高い。

【0064】以上により、半導体層の表面における酸化膜の形成が完了するので、以降、酸化炉30内を窒素ガス等の不活性ガス雰囲気とし、エレベータ機構43を動作させて石英ポート44を下降させ、次いで、図示しな

い扉を開き、シリコン半導体基板20を搬出してもよいが、一層高い特性を有するシリコン酸化膜の形成を意図する場合には、以下に説明する加熱処理を酸化膜に施すことが好ましい。

【0065】[工程-260] 即ち、その後、水蒸気の導入を中止し、窒素ガスをガス導入部32から酸化炉30内に導入しつつ、酸化炉30の雰囲気温度をヒータ34によって850°Cまで昇温する。その後、塩化水素を0.1容量%含有する窒素ガスをガス導入部32から酸化炉30内に導入し、30分間、加熱処理を行う。以上により、半導体層の表面に酸化膜を形成する工程が完了する。以降、酸化炉30内を窒素ガス雰囲気とし、エレベータ機構43を動作させて石英ポート44を下降させ、次いで、基板搬入出部40からシリコン半導体基板20を搬出する。

【0066】[工程-270] 以降、実施例1の[工程-150]～[工程-180]を実行することによって、p形半導体素子を得ることができる。尚、上述の加熱処理を実施例1の[工程-130]に引き続き、実行してもよい。

【0067】(実施例3) 実施例3においては、パイロジェニック酸化法の代わりに、プラズマ酸化法に基づき、半導体層の表面に酸化膜を形成する。実施例3においては、図1に示したプラズマ処理装置を用いて、プラズマ酸化法及びプラズマ窒化法を実行する。以下、実施例3の絶縁膜の形成方法及びp形半導体素子の製造方法(具体的には、デュアルゲート構造を有するCMOSFETにおけるpチャネル型MOSFET)を説明する。

【0068】[工程-300] 先ず、実施例1の[工程-100]と同様の工程を実行する。

【0069】[工程-310] 次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス(例えば窒素ガス)を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を800°Cに加熱する。

【0070】[工程-320] その後、希釈用ガスとしての不活性ガス(例えば窒素ガス)の処理室10内への導入を中断し、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)波をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、水素ガス及び酸素ガスにマイクロ波を照射することによって、上述の式(2-1)～(2-4)の反応、及び式(3)、式(4)の反応が生じ、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加

熱された半導体層(具体的にはシリコン半導体基板20)の表面が酸化される。こうして、半導体層の表面に厚さ2nmの酸化膜(実施例2においてはシリコン酸化膜)を形成することができる。酸化膜の形成条件を、以下の表3に例示する。

【0071】[表3]

マイクロ波電力 : 10kW
マイクロ波周波数: 2.45GHz
酸素ガス流量 : 10SLM
水素ガス流量 : 0.2SLM
基板温度 : 800°C

【0072】[工程-330] その後、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却する。次いで、ガス導入部17からの不活性ガスの処理室10内への導入を中止する。その後、ガス導入部16Cから処理室10に窒素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって上

述の式(1-1)～(1-4)の反応にて生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが処理室10の下方に位置するプラズマ処理領域10Bに到達し、酸化膜の表面が窒化される。プラズマ窒化処理の条件は、表1に例示したと同様とすればよい。

【0073】[工程-340] その後、実施例1の[工程-160]～[工程-180]を実行することによって、p形半導体素子を得ることができる。尚、実施例3においても、プラズマ酸化法に基づき実施例2にて説明した2段階の酸化を行ってよい。また、実施例2にて説明した加熱処理を酸化膜に施してもよい。

【0074】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明した各種の条件やプラズマ処理装置、酸化膜形成装置の構造は例示であり、適宜変更することができる。

【0075】例えば、実施例2の[工程-240]において、酸化炉30内への湿式ガスの導入を中止することなく、シリコン半導体基板20を800°Cまで昇温してもよい。また、実施例2の[工程-260]において、不活性ガス(例えば窒素ガス)を酸化炉30内に導入しつつシリコン半導体基板20の温度を加熱手段によって850°Cまで昇温したが、その代わりに、例えば塩化水素ガスを0.1容量%含有する不活性ガス(例えば窒素ガス)をガス導入部32から酸化炉30内に導入

しつつ、シリコン半導体基板20の温度を加熱手段によって850°Cまで昇温してもよい。更には、第1の酸化膜形成工程、昇温工程、第2の酸化膜形成工程のそれぞれにおける雰囲気に、例えば塩化水素ガスを含ませてもよい。

【0076】実施例においては、専らシリコン半導体基板の表面に絶縁膜を形成したが、本発明の絶縁膜の形成方法に基づき、基板の上に製膜されたエピタキシャルシリコン層に絶縁膜を形成することもできるし、基板の上に形成された絶縁層の上に製膜されたポリシリコン層あるいはアモルファスシリコン層等の表面に絶縁膜を形成することもできる。あるいは又、SOI構造におけるシリコン層の表面に絶縁膜を形成してもよいし、半導体素子や半導体素子の構成要素が形成された基板やこれらの上に製膜されたシリコン層の表面に絶縁膜を形成してもよい。更には、半導体素子や半導体素子の構成要素が形成された基板やこれらの上に製膜された下地絶縁層の上に形成されたシリコン層の表面に絶縁膜を形成してもよい。酸化膜の形成及び/又は酸化膜の表面の窒化処理は、枚葉方式だけでなく、複数の半導体層を同時に処理するバッチ方式にて行うこともできる。

【0077】あるいは又、実施例において0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行った後、半導体層を酸化膜形成装置やプラズマ処理装置（以下、これらの装置を総称して酸化膜形成装置等と呼ぶ）に搬入したが、半導体層の表面洗浄から酸化膜形成装置等への搬入までの雰囲気を、不活性ガス（例えば窒素ガス）雰囲気としてもよい。尚、このような雰囲気は、例えば、半導体層の表面洗浄装置の雰囲気を不活性ガス雰囲気とし、且つ、不活性ガスが充填された搬送用ボックス内に半導体層（例えばシリコン半導体基板）を納めて酸化膜形成装置等に搬入する方法や、図4に模式図を示すように、表面洗浄装置、酸化膜形成装置等、搬送路、ローダー及びアンローダーから構成されたクラスターツール装置を用い、表面洗浄装置から酸化膜形成装置等までを搬送路で結び、かかる表面洗浄装置、搬送路及び酸化膜形成装置等の雰囲気を不活性ガス雰囲気とする方法によって達成することができる。

【0078】あるいは又、0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行う代わりに、表4に例示する条件にて、無水フッ化水素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、パーティクルの発生防止のためにメタノールを添加する。あるいは又、表5に例示する条件にて、塩化水素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、半導体層の表面洗浄開始前あるいは表面洗浄完了後における表面洗浄装置内の雰囲気や搬送路等内の雰囲気は、不活性ガス雰囲気としてもよいし、例えば 1.3×10^{-1} Pa (10^{-3} Torr)程度の真空雰囲気としてもよい。尚、搬送路等内の雰囲気を真空雰囲

気とする場合には、半導体層を搬入する際の酸化膜形成装置等の雰囲気を例えば 1.3×10^{-1} Pa (10^{-3} Torr)程度の真空雰囲気としておき、半導体層の搬入完了後、酸化膜形成装置等の雰囲気を不活性ガス（例えば窒素ガス）雰囲気とすればよい。

【0079】[表4]

無水フッ化水素ガス: 300 SCCM

メタノール蒸気: 80 SCCM

窒素ガス: 1000 SCCM

10 圧力: 0.3 Pa

温度: 60°C

【0080】[表5]

塩化水素ガス/窒素ガス: 1容量%

温度: 800°C

【0081】これらの方法を採用することによって、酸化膜の形成前に半導体層の表面を汚染等の無い状態に保つことができる結果、形成された絶縁膜中に水分や有機物、あるいは又、例えばSi-OHが取り込まれ、形成された絶縁膜の特性が低下しあるいは欠陥部分が発生することを、効果的に防ぐことができる。

【0082】先に説明したように、プラズマ酸化法を採用する場合、酸化膜の形成において、処理室10内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室10内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するため、且つ、半導体層にドライ酸化膜が形成されることを防止するために、例えば、実施例3の【工程-330】において、ガス導入部17から処理室10内に例えれば流量10SLMの希釈用ガスとしての不活性ガス（例えば窒素ガス）を導入しながら、ガス導入部16Aから処理室10内に流量0.2SLMの水素ガスを導入し、その後、例えればガス導入部16Bから処理室10内に例えれば流量10SLMの酸素ガスの導入を開始し、希釈用の不活性ガスの処理室10内への導入を中止すればよい。次いで、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した例えれば2.45GHzのマイクロ波をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。このような操作によって、水蒸気生成前の処理室10内における水素ガス濃度は十分に低い値となり、爆鳴気反応が生じることを確実に防止することができ、しかも、ドライ酸化膜の形成を確実に防止することができる。

【0083】

【発明の効果】本発明においては、アルゴンガスのような電離促進ガスを含まない、あるいは、僅かしか含まない窒素ガス雰囲気にマイクロ波を照射するので、電離促進ガスの分子あるいは原子による酸化膜への悪影響を防ぎ、優れた特性を有する絶縁膜を得ることができる。そして、プラズマ窒化法にて酸化膜の表面を窒化するので、電流駆動能力の低下等の半導体素子特性への悪影響

がない。更には、酸化膜を窒化するので、例えばゲート電極形成後の半導体装置製造工程における各種の熱処理によってゲート電極に含まれるp形不純物がゲート絶縁膜を通過して半導体層まで到達する結果、PMOS半導体素子の閾値電圧が変動するといった現象を確実に回避することができる。

【図面の簡単な説明】

【図1】本発明の方法の実施に適したプラズマ処理装置の概念図である。

【図2】実施例1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図3】パイロジェニック酸化法に基づき酸化膜を形成するための縦型方式の酸化膜形成装置の概念図である。*

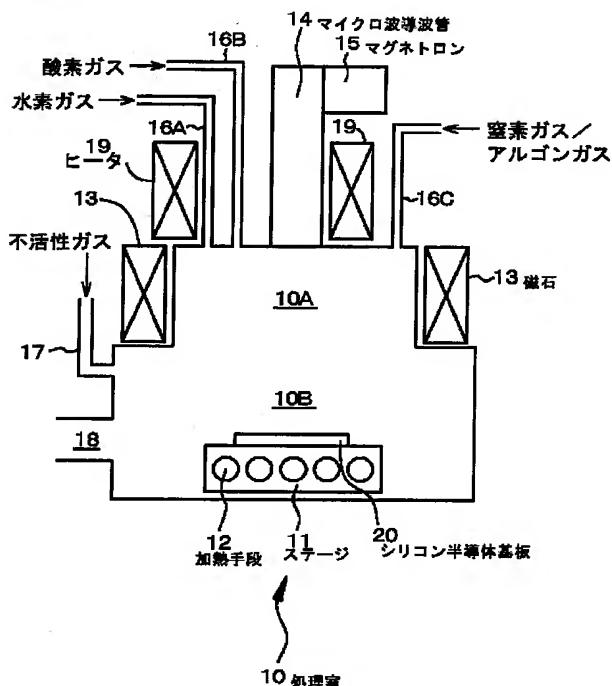
*【図4】クラスターツール装置の模式図である。

【符号の説明】

10A…処理室、10A…プラズマ生成領域、10B…プラズマ処理領域、11…ステージ、12…加熱手段、13…磁石、14…磁石、15…マグネットロン、16A…マイクロ波導波管、16B…マグネットロン、17…ヒータ、18…ガス導入部、19…ガス排気部、20…シリコン半導体基板、21…素子分離領域、22…絶縁膜、23…ゲート電極、24…サイドウォール、25…ソース/ドレイン領域、26…層間絶縁層、27…配線

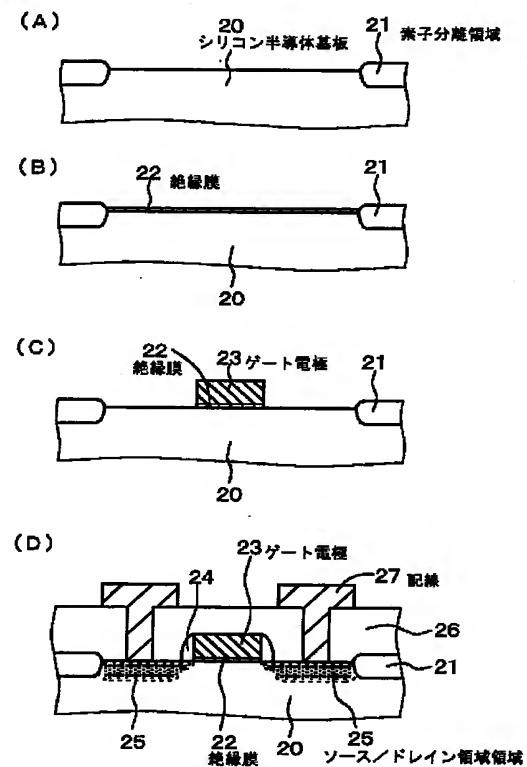
【図1】

【図1】



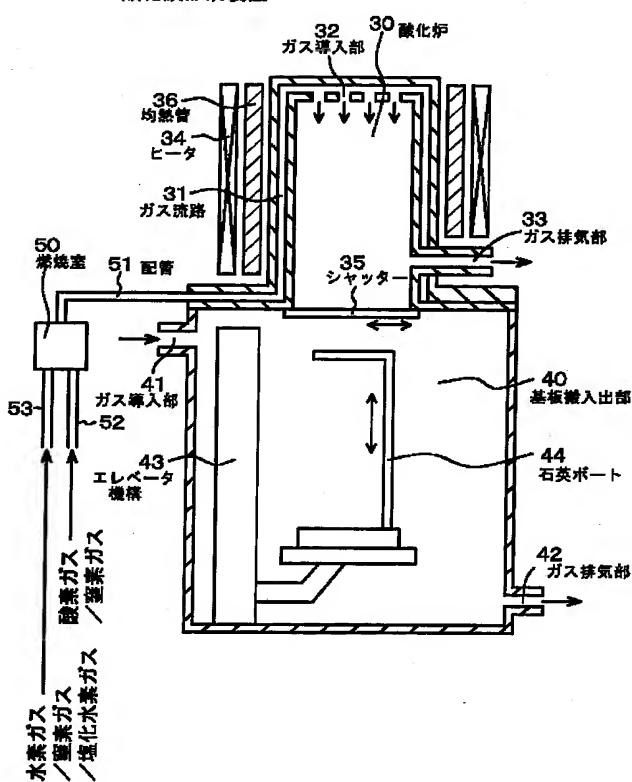
【図2】

【図2】



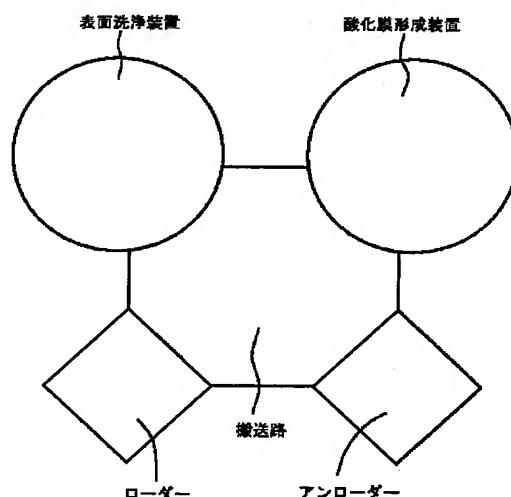
【図3】

【図3】 酸化膜形成装置



【図4】

【図4】



フロントページの続き

Fターム(参考) 5F040 DA19 DB03 DC01 EC07 ED00
 ED01 ED05 ED06 EF02 EK01
 FB02 FC00
 5F048 AA07 AB01 AC03 BA14 BB06
 BB07 BB09 BB11 BB12 BC06
 BG12 DA00 DA25
 5F058 BA01 BA20 BB04 BD01 BD03
 BD04 BD06 BD15 BE03 BF51
 BF52 BF55 BF61 BF62 BF63
 BF65 BF68 BF72 BF73 BF74
 BH01 BH02 BH04 BJ01